

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP361232657A
PAT-NO: JP361232657A
DOCUMENT-IDENTIFIER: JP 61232657 A
TITLE: ELECTROSTATIC BREAKDOWN PREVENTIVE ELEMENT

PUBN-DATE: October 16, 1986

INVENTOR-INFORMATION:

NAME

SAKAI, TOSHIAKI
NAWATA, KAZUMASA

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP60074736

APPL-DATE: April 9, 1985

INT-CL_(IPC): H01L027/06; H01L027/04 ; H01L029/72

US-CL-CURRENT: 257/546

ABSTRACT:

PURPOSE: To increase the electrostatic breakdown capacity of an element of this kind by absorbing input pulses not only in a section between an input terminal and a power terminal but also in a section between the input terminal and a grounding terminal.

CONSTITUTION: An N-type region in a P-N junction forming a resistor R is not connected to an N<SP>+</SP> type collector contact layer 2 but connected to a P-type substrate 1 by surrounding the periphery of the resistor R by an insulating layer 10 as an element isolation region, thus forming a vertical type P-N-P parasitic transistor. When the element is disposed to an input section to an integrated-circuit semiconductor device as an electrostatic breakdown preventive element, the electrostatic resistance of a device can be

/improved. Transistors $Q_{<SB>1</SB>}$, $Q_{<SB>2</SB>}$ are
turned ON by the ingress of
the input pulses of high voltage to an input terminal IN,
and the input pulses
are absorbed between the input terminal IN and a power
terminal VCC and between
the input terminal IN and a grounding terminal VEE.

COPYRIGHT: (C)1986, JPO&Japio

⑫ 公開特許公報(A)

昭61-232657

⑤ Int. Cl.⁴H 01 L 27/06
27/04
29/72

識別記号

1 0 1

庁内整理番号

7925-5F
7514-5F
8526-5F

④ 公開 昭和61年(1986)10月16日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 静電破壊防止素子

⑰ 特 願 昭60-74736

⑱ 出 願 昭60(1985)4月9日

⑲ 発 明 者 酒 井 敏 昭 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 発 明 者 名 和 田 一 正 川崎市中原区上小田中1015番地 富士通株式会社内
㉑ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
㉒ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

静電破壊防止素子

2. 特許請求の範囲

トランジスタ(Q_1)のコレクタを電源端子(V_{cc})に、エミッタを入力端子(IN)に、ベースを抵抗(R)を経由して入力端子(IN)にそれぞれ接続し、

該抵抗(R)を形成するp-n接合の両領域(4)と(3)、および基板(1)とでトランジスタ(Q_2)を形成させ、

該基板(1)を接地端子(V_{ee})に接続するように形成してなることを特徴とする静電破壊防止素子。

3. 発明の詳細な説明

(概要)

静電気等により入力端子に入ってくる高電圧を、従来はトランジスタ Q_1 を通じて電源端子 V_{cc} と

入力端子 IN 間で吸収していたが、本発明では基板内に形成された抵抗の直下に高濃度埋込層を設けずに寄生トランジスタ Q_2 を積極的に形成して、接地端子 V_{ee} と入力端子 IN 間でも吸収することにより、デバイスの静電耐力を上げる。

(産業上の利用分野)

本発明は集積回路等半導体デバイスを入力端子に設けられる静電破壊防止素子に関する。

近年、半導体デバイスの高速化、高集積化にともない、デバイスはますます微細化され、静電耐力の低いMOS素子だけでなく、バイポーラデバイスにおいても、静電気等により発生する高電圧による破壊を効果的に防ぐ必要が生じてきた。

(従来技術)

第2図(1)、(2)、(3)はそれぞれ従来例による静電破壊防止素子の平面図、断面図、等価回路図である。

図において、1はp型の基板、2は埋め込まれ

た n^+ 型のコレクタコンタクト層、3は n 型のコレクタ層、4は p 型の抵抗領域、5は p^+ 型のベース領域、6はエミッタ領域、7は絶縁層、8、9は配線層である。

電源電圧とその端子を V_{cc} 、接地電圧とその端子を V_{EE} 、入力端子を IN 、ダイオードを D_1 、

D_2 、トランジスタを Q_1 、抵抗を R であらわす。

このような素子を静電破壊防止素子として、集積回路等半導体デバイスの入力部に配設することにより、内部回路を保護することができる。

すなわち、入力端子 IN に高電圧の入力パルスの到来により、トランジスタ Q_1 を ON させ、この入力パルスを入力端子 IN と電源端子 V_{cc} 間で吸収している。

第3図、第4図は図示の等価回路によりシュミレーションした結果による、入力パルスと入力端子電圧対時間の関係を示す図である。

図において、図示の波形を有する波高値 $\pm 500V$ の入力パルス①に対し、入力端子 IN にあらわれ

るパルス電圧の波高値②は $38V$ 程度となる。

(発明が解決しようとする問題点)

デバイスの微細化による静電耐力の低下にともない、さらに高性能の静電破壊防止素子が要求されるようになった。

(問題点を解決するための手段)

上記問題点の解決は、トランジスタ(Q_1)のコレクタを電源端子(V_{cc})に、エミッタを入力端子(IN)に、ベースを抵抗(R)を経由して入力端子(IN)にそれぞれ接続し、該抵抗(R)を形成する $p-n$ 接合の両領域(4)と(3)、および基板(1)とでトランジスタ(Q_2)を形成させ、該基板(1)を接地端子(V_{EE})に接続するように形成してなる本発明による静電破壊防止素子により達成される。

(作用)

本発明は、入力パルスを $IN-V_{cc}$ 間だけでなく、

3

$IN-V_{EE}$ 間においても吸収することにより、この種素子の静電破壊防止能力を向上するものである。

(実施例)

第1図(1)、(2)、(3)はそれぞれ本発明による静電破壊防止素子の平面図、断面図、等価回路図である。

図は従来例に寄生トランジスタ Q_2 を追加したものである。

寄生トランジスタ Q_2 はつぎのようにして形成する。

素子分離領域として絶縁層10で抵抗 R の周囲を囲うことにより、抵抗 R を形成する $p-n$ 接合の n 型領域3を、 n^+ 型のコレクタコンタクト層2に接続しないで、 p 型の基板1に接続する。このようにして縦型 $p-n-p$ 寄生トランジスタが形成される。

これは、製造工程で抵抗 R の島領域に埋込層を形成しないようにすることにより容易に実現できる。

4

このような素子を静電破壊防止素子として、集積回路等半導体デバイスの入力部に配設することにより、従来例の素子以上にデバイスの静電耐力を向上できる。

本発明では、入力端子 IN に高電圧の入力パルスの到来により、トランジスタ Q_1 、 Q_2 を ON させ、この入力パルスを入力端子 IN と電源端子 V_{cc} 間と、入力端子 IN と接地端子 V_{EE} 間で吸収している。

第3図、第4図において、図示の波形を有する波高値 $\pm 500V$ の入力パルス①に対し、入力端子 IN にあらわれるパルス電圧の波高値②は $21V$ 程度となり、従来例の波高値②の $38V$ に比し向上していることがわかる。

(発明の効果)

以上説明したように本発明による静電破壊防止素子を入力部に入れることにより、半導体デバイスの静電耐力を向上することができる。

4. 図面の簡単な説明

第1図(1), (2), (3)はそれぞれ本発明による静電破壊防止素子の平面図、断面図、等価回路図、

第2図(1), (2), (3)はそれぞれ従来例による静電破壊防止素子の平面図、断面図、等価回路図、

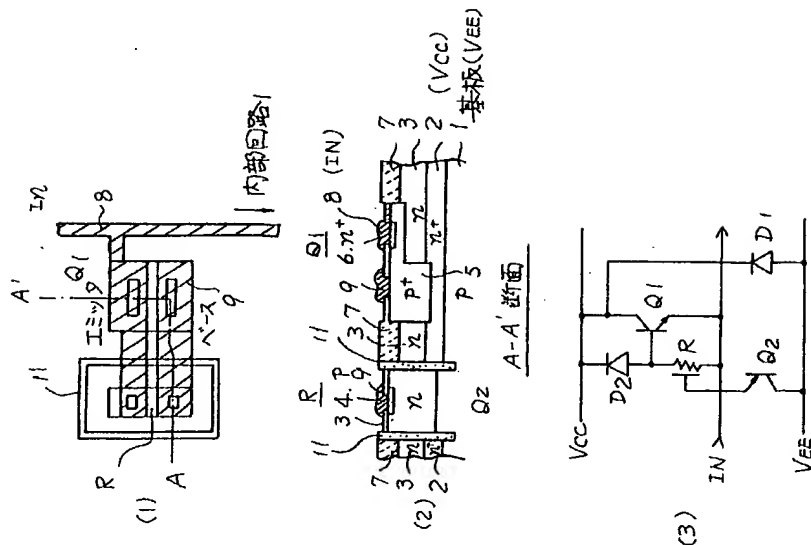
第3図、第4図は入力パルスと入力端子電圧対時間の関係を示す図である。

図において、

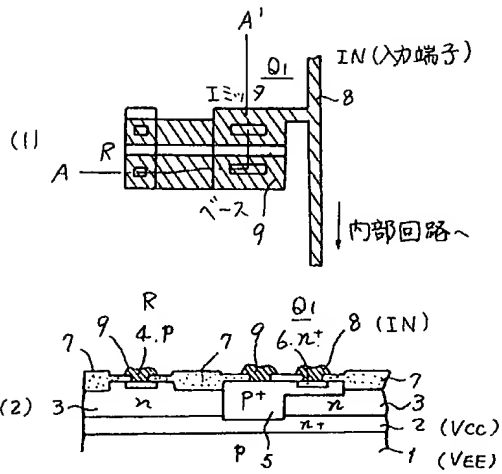
- 1 は p 型の基板、
- 2 は n⁺型のコレクタコンタクト層、
- 3 は n 型のコレクタ層、
- 4 は p 型の抵抗領域、
- 5 は p⁺型のベース領域、
- 6 は抵抗領域、
- 7 は絶縁層、
- 8, 9 は配線層、
- 10 は素子分離領域で絶縁層、
- V_{cc} は電源電圧とその端子、
- V_{ee} は接地電圧とその端子、
- IN は入力端子、

D₁, D₂ はダイオード、
Q₁, Q₂、トランジスタ、
R は抵抗
である。

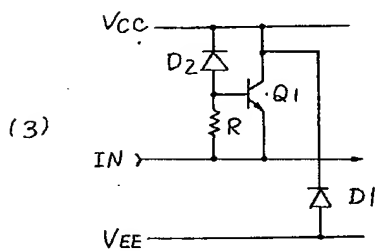
代理人 弁理士 松岡宏四郎



本発明の静電破壊防止素子
第1図

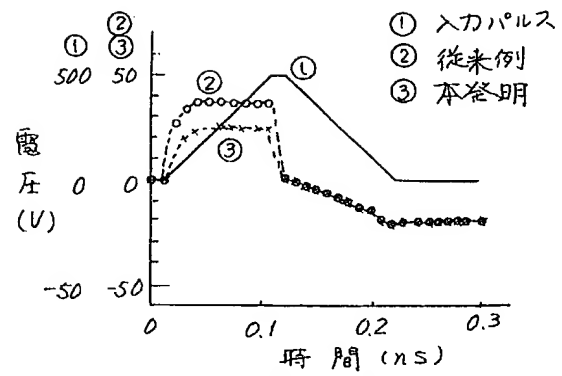


A-A' 断面

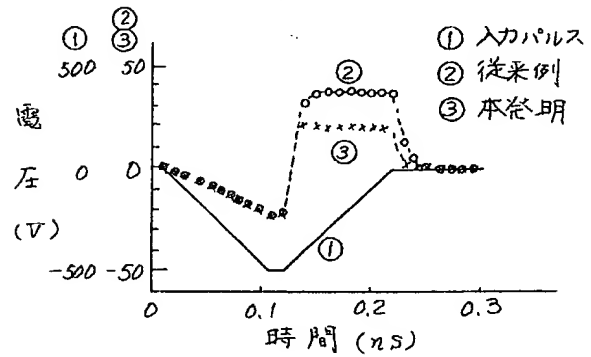


従来例の静電破壊防止素子

第 2 図



第 3 圖



第4図